

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152448
 (43)Date of publication of application : 18.06.1993

(51)Int.CI. H01L 21/90
 H01L 21/3205
 H01L 29/46

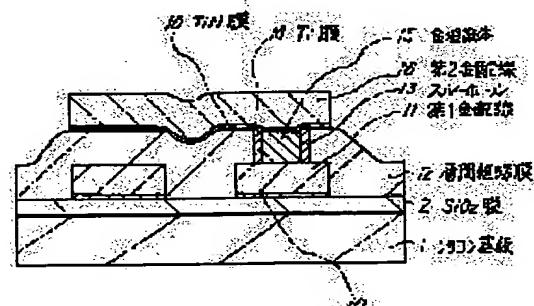
(21)Application number : 03-342346 (71)Applicant : NEC CORP
 (22)Date of filing : 30.11.1991 (72)Inventor : KISHI SHUJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To improve life characteristics, reducing a wiring resistance and to eliminate a connecting defect in a through hole by wiring using a noble metal.

CONSTITUTION: A first layer first metal line 11 is formed on an SiO₂ film 2 on a silicon substrate 1 formed as prescribed, and a Ti film 14 is provided on a sidewall of a through hole 13 provided in an interlayer insulating film 12. The hole 13 is fill with gold 15, and a second layer second metal line 16 is so formed as to include the hole 13. A gold wiring 16 is brought into close contact with the film 12 with titanium nitride film 10. Thus, since the wiring is executed with a noble metal material such as gold or silver having excellent performance of an E/M life of several tens of times and an S/N life of several hundreds of times as long as those of aluminum based materials as well as a resistance of several tens of % as low as that of the materials, the E/M life and the S/M life can be significantly prolonged, and a wiring resistance can be reduced by several tens of %.



LEGAL STATUS

[Date of request for examination] 12.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3063338

[Date of registration] 12.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 12.05.2003

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-152448

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl. ⁵ H 01 L 21/90 21/3205 29/46	識別記号 B 7353-4M	内整理番号 Z 7738-4M 7353-4M	F I H 01 L 21/ 88	技術表示箇所 R
--	-------------------	-------------------------------	----------------------	-------------

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号 特願平3-342346

(22)出願日 平成3年(1991)11月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岸 修司

東京都港区芝五丁目7番1号 日本電気株式会社内

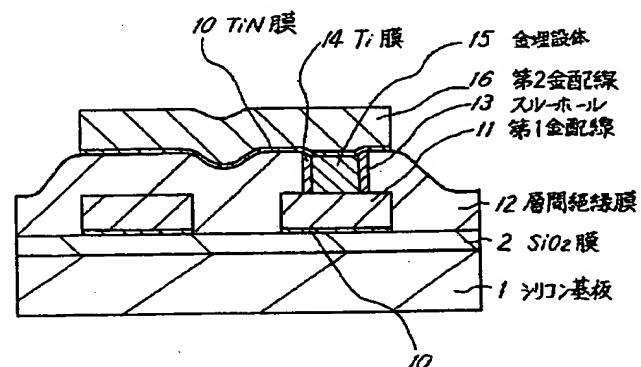
(74)代理人 弁理士 首野 中

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 VLSIの配線系における信頼性問題及び高速化限界問題を、一举に解決する。

【構成】 配線11, 16及びスルーホール13内の埋設体の主材料が貴金属、例えば金15からなり、スルーホール13の側壁にTi膜14が設けられている。



【特許請求の範囲】

【請求項1】 多層配線構造を有する半導体装置であつて、配線は、貴金属からなり、

上下配線を接続するべく層間絶縁膜に設けられたスルーホールの側壁には、金属膜が設けられ、スルーホール内には、貴金属が埋設されたものであることを特徴とする半導体装置。

【請求項2】 所定の素子が形成された半導体基板上に第1の貴金属配線を形成する工程と、第1の層間絶縁膜を形成する工程と、第1の貴金属配線直上域に開口を有するフォトトレジスト膜を形成する工程と、該フォトトレジスト膜をマスクとして前記第1の層間絶縁膜にスルーホールを形成する工程と、前記フォトトレジスト膜を除去したのち全面に第1の金属膜を被着する工程と、熱処理を加え第1の貴金属配線と第1の金属膜の構成原子を相互拡散させる工程と、スルーホール内に第1の貴金属による埋設体を析出させる工程と、スルーホール以外の第1の金属膜を除去する工程と、スルーホールを含むように第2の貴金属配線を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 所定の素子が形成された半導体基板上に第1の貴金属配線を形成する工程と、第1の層間絶縁膜及び第2の金属膜を順次形成する工程と、第1の貴金属配線直上域に開口を有するフォトトレジスト膜を形成する工程と、該フォトトレジスト膜をマスクとして前記第2の金属膜及び第1の層間絶縁膜を順次除去し、スルーホールを開口する工程と、全面に第3の金属膜を被着する工程と、反応性イオンエッティング法により側壁部のみに第3の金属膜を残存させる工程と、スルーホール内に第1の貴金属埋設体を析出させる工程と、前記第1のフォトトレジスト膜及び第2の金属膜を除去する工程と、スルーホールを含むように第2の貴金属配線を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体の構造及び製造方法に関し、特に配線間に層間絶縁膜及びスルーホールが設けられた多層配線を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 最先端のVLSIに対する高性能化及び高集積化の要求は高まるばかりであり、それにつれてVLSI内部の素子を相互に接続する配線的重要性が飛躍的に高まっている。動作速度は、大雑把にいって、トランジスタなど素子による遅れと、配線遅延によって決定され、この内トランジスタに関しては高速化に向けた様々な提案がなされ、確実に高速化されているが、配線遅延は、RC時定(R:配線抵抗, C:寄生容量)によつて決定されてしまい、しかも配線長が長くなるとRC時

定による遅れが素子による遅れを大幅に上回るようになる。従つて現在のVLSIの性能は配線が握っているといつて過言ではなく、配線のR及びCを如何に低く抑えるかがキーポイントとなっている。

【0003】 また、一方信頼性も極めて重要な性能の1つであり、時としてこの要素が最大の要求になる場合もある。3ないし4層配線を有するVLSIの故障品を解析すると、90%以上が配線系に起因する不良であり、その内でも配線の断線に端を発するものが大半である。

【0004】 この断線不良の原因としては、エレクトロマイグレーション(E/M)やストレスマイグレーション(S/M)現象が良く知られており、両者とも配線材料自体と配線を囲む周囲の絶縁材料のストレス及び周囲温度に依存する。

【0005】 またもう1つの原因は、VLSIの設計に起因する。前述のように配線のRC時定を小さくすることが重要であるが、Rの削減には①配線の膜厚を厚くする、②抵抗率の低い材料に変更する以外に手段はなく、またCの削減にも、③層間絶縁膜を厚くする、④誘電率の低い材料に変更する以外手段はない。

【0006】 電気的には、動作電流を大きくすることで充放電時間を短縮することが可能であるが、消費電力を増加させるばかりでなく、E/M寿命を極端に短くしてしまうため配線材料の選択に気をつけなければならぬ。

【0007】

【発明が解決しようとする課題】 ここで、従来品を例にとってその不具合点につき説明する。一般に配線材料としては、アルミ・銅合金(A1-Cu)やアルミ・ケイ素・銅合金(A1-Si-Cu)が広く使われている。図4に示すように、所定の作り込みのなされたシリコン基板1上のSiO₂膜2上に、第1層のA1-Cu配線101が形成され、層間絶縁膜102、スルーホール103、第2層目のA1-Cu配線104を形成して完成されていた。なお、3層目以降は同様製法を用いれば良いので説明を省く。

【0008】 A1-Cu配線は、その被着法としてスパッタ法を、またその加工には、通常のフォトリソグラフィー技術と反応性イオンエッティング法(RIE法)を用いて行い、スルーホール103の開口も同様の手法を用いる。この構造を用いるときの最大の問題は、スルーホール部における接続である。

【0009】 同図のように直径1μm程度のスルーホール103を用いると、層間絶縁膜が0.5μm以上になると、105のように、2層目配線104のカバレジが急激に低下し、1.0μmでは数%以下になってしまい、これが断線不良を引き起こす原因となるため、安易に層間膜厚を厚くし容量Cを低減させるわけにはゆかない。

【0010】 当然のことながら、配線101の膜厚を厚

くすれば、層間絶縁膜の平坦化が困難となり、配線のカバレジ低下=E/M寿命の低下に直結する。

【0011】また、A1-Cu単層配線の場合E/M寿命は、単純なA1配線に比べ長くなるが、S/M寿命が短かくなってしまう場合もあり、最近では図5のように配線101, 104の上下をパリアメタル、例えばチタンタングステン膜(TiW)106で挟み込み、さらにスルーホール16内をタングステン膜(W)107で埋め込む構造が検討されている。

【0012】確かにこの方法によりS/M寿命、E/M寿命は大幅に改善され、スルーホール部における断線の問題も解消されるが、i) TiW膜厚分だけ厚くなり、層間平坦化が難しくなる。また、ii) スルーホール抵抗が従来の数倍になるなどの欠点を持ち合せているため、超高速VLSIにとっての解決とはならなかった。

【0013】本発明の目的は、貴金属配線を用いて寿命特性を改善し、配線抵抗を減らし、スルーホール部の接続不良をなくした半導体装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明による半導体装置においては、多層配線構造を有する半導体装置であって、配線は、貴金属からなり、上下配線を接続するべく層間絶縁膜に設けられたスルーホールの側壁には、金属膜が設けられ、スルーホール内は、貴金属が埋設されたものである。

【0015】また、半導体装置の製造方法においては、所定の素子が形成された半導体基板上に第1の貴金属配線を形成する工程と、第1の層間絶縁膜を形成する工程と、第1の貴金属配線直上域に開口を有するフォトレジスト膜を形成する工程と、該フォトレジスト膜をマスクとして前記第1の層間絶縁膜にスルーホールを形成する工程と、前記フォトレジスト膜を除去したのち全面に第1の金属膜を被着する工程と、熱処理を加え第1の貴金属配線と第1の金属膜の構成原子を相互拡散させる工程と、スルーホール内に第1の貴金属による埋設体を析出させる工程と、スルーホール以外の第1の金属膜を除去する工程と、スルーホールを含むように第2の貴金属配線を形成する工程とを含むものである。

【0016】また、所定の素子が形成された半導体基板上に第1の貴金属配線を形成する工程と、第1の層間絶縁膜及び第2の金属膜を順次形成する工程と、第1の貴金属配線直上域に開口を有するフォトレジスト膜を形成する工程と、該フォトレジスト膜をマスクとして前記第2の金属膜及び第1の層間絶縁膜を順次除去し、スルーホールを開口する工程と、全面に第3の金属膜を被着する工程と、反応性イオンエッチング法により側壁部のみに第3の金属膜を残存させる工程と、スルーホール内に第1の貴金属埋設体を析出させる工程と、前記第1のフォトレジスト膜及び第2の金属膜を除去する工程と、ス

10

20

30

40

50

ルーホールを含むように第2の貴金属配線を形成する工程とを含むものである。

【0017】第1および第2の貴金属配線は、金又は銀からなるものである。

【0018】第1, 第2, 第3の金属膜は、チタン、タンゲステンあるいは、チタンとタンゲステンの合金膜からなるものである。

【0019】第1の貴金属による埋設体は、無電解メッキ法により形成された金あるいは、無電解メッキ法により形成された銀である。

【0020】

【作用】アルミ系材料に比べ、E/M寿命で数10倍、S/M寿命にして数百倍以上長い寿命を持ち、しかも抵抗が数10%低いという極めて優れた性能を持つ金又は銀のような貴金属材料を用いることで寿命特性を改善し、配線抵抗を減らし、さらにスルーホール部における接続不良を解消する。

【0021】

【実施例】次に本発明について図面を参照して説明する。図1は、本発明の一実施例を示す断面図である。図において、所定の作り込みのなされたシリコン基板1上のSiO₂2上に、1層目の第1金配線11が形成され、層間絶縁膜12に設けられたスルーホール13の側壁に、Ti膜14が設けられ、スルーホール13内はすべて金15によって埋設され、スルーホール13を含むように2層目の第2金配線16が形成されることでできている。

【0022】なお、10は、金配線と絶縁膜とを密着させるチッ化チタン膜(TiN)である。もっとも、金配線11, 16に代えて銀配線を用い、金15の代りに銀を埋設体として用いても、さらに、TiN膜10は、W膜あるいはTiW膜であっても全く差し支えない。次に本実施例の製造方法の実施例につき説明する。

【0023】(実施例1)まず図2(a)のように、所定の作り込みのなされたシリコン基板1上のSiO₂2上に、TiN膜10, Au膜20をそれぞれスパッタ法により約300Å, 約100Å被着し、フォトレジスト膜21を通常のフォトリソグラフィー技術を用いてパターンニング形成する。

【0024】この状態でフォトレジスト膜21をマスクに無電解メッキ法により第1金配線11を約1μmの厚さまでメッキする。このメッキには、例えばNEケムキヤット(株)製のスーパーメックスA液を用い、液温70℃, pH=7.0にて約2.5時間処理すれば良い。無電解メッキの場合、電流通路は不必要なため、TiN膜10, Au膜20の膜厚は、前記膜厚以下でも良いが、電解メッキ法を用いるためには、Au膜20, 膜厚を300Å以上に設定する必要がある。何故なら、電流通路となるTiN, Au膜の抵抗が高いとメッキ膜厚バラツキを引き起こすからである。

【0025】例えばNEケムキャット(株)製のECFメッキ液を用い、液温65℃, pH=7.0, 電流密度0.4A/dm²で約5分間メッキすれば、約1μmの金メッキ膜が得られる。次にフォトレジスト膜21を除去したのち、全面をイオンミリング法によりエッチバックして第1金配線間のTiN膜10, Au膜20をエッティングすることにより、金配線同士を分離する。

【0026】続いて同図(b)のように全面に層間膜12を形成したのち、所定の位置に開口部を有するフォトレジスト膜22をマスクとしてRIE法により層間絶縁膜12にスルーホール13を形成する。

【0027】一般的に層間絶縁膜としては、下層配線の段だらしを目的としてプラズマ気相成長法(PCVD)によるSiO₂膜と、塗布焼成膜(SOG膜)との積層膜が良く用いられる。

【0028】SiO₂とSOG膜とのエッチレートが同一となるようなRIE条件により、しかも側壁がほぼ垂直となるようにスルーホール13を開口する。ここでエッティングレートが大きく異なると、どちらかの膜が出っぱったり、引っ込んだりして後工程の側壁膜の形成を阻害することになってしまう。

【0029】次いで、フォトレジスト膜22を除去したのち、全面に100~200ÅのTi膜14をスパッタ被着し、N₂雰囲気中で400~500℃の熱処理を施すと同図(c)のように第1金配線11とTi膜14とが相互拡散し、スルーホール13内の配線表面には金原子が出てくる。

【0030】熱処理は、炉を用いてもランプアニーラーを用いても良いが、O₂の分圧を極力0に近付けなければならない。そうしないとTi膜が酸化されてしまい相互拡散が防げられる。またこのTi膜14の膜厚は極く薄く形成しないと、相互拡散の条件が厳しくなったり、配線抵抗を大幅に上昇させてしまう。

【0031】続いて前述と同方法により無電解金メッキを行い、同図(d)のようにスルーホール内に金を析出させ、RIE法によりTi膜14をエッチバックすると、Ti膜14の側壁膜と金15により埋設されたスルーホールが形成される。この無電解金メッキ法は、今の場合、金上のみに金メッキ膜が析出するため鬆のない埋設が可能となる。ただし、下地配線の電位差によりメッキレートが異なるという欠点も持ち合せている。

【0032】つまり、シリコン基板、トランジスタのエミッタ、フローティングなどの違いにより埋込性が違ってくるということである。この欠点をカバーするためにTi膜14が存在し、全面をTi膜で接続することにより電位差を軽減させることを目的としている。これまでの検討の結果では、100Å程度あれば、通常の場合、10%以内にメッキ厚バラツキを抑えられる。最後に第2層目の金配線16を形成することで図1の構造が完成する。

【0033】(実施例2)本実施例は、前実施例の方法をもってしても、メッキバラツキを抑え込めない場合に有効な方法を提供する。図3(a)において、まず、実施例1と同様に層間絶縁膜12までを形成しておき、全面に第1のTi膜31を500~1000Å被着したのち、所定の位置に開口を有するフォトレジスト膜22を形成して、このフォトレジストをマスクにRIE法により第1のTi膜31、層間絶縁膜12を順次エッティングする。

【0034】続いて全面に第2のTi膜32を500~1000Åスパッタ被着し、RIE法によりエッチバックし、同図(b)のように側壁部のみに第2Ti膜32を残す。この状態で第1のTi膜と第2のTi膜と下層配線とが電気的に接続されることになる。本実施例ではエッチバック法により第2Ti膜32の側壁残しを行っているため、ある程度膜厚が厚くなても良い。実施例1ではせいぜい300Å程度であったが、本実施例ではかなり厚くできるため、下層配線の電位差を大幅に緩和できる。

【0035】このTi膜厚は、スルーホール13の直径と、深さにより左右され、直径0.8μm、深さ1μmの場合、1000Å程度が適当である。

【0036】次いで無電解金メッキを行い、層間絶縁膜表面とほぼ同じ高さまで金をメッキし、スルーホールを埋設した後、フォトレジスト膜22を除去し、RIE法により第1及び第2のTi膜をエッチバックし、最後に第2層目金配線を形成すれば図1の構造が完成する。以上は側壁膜としてTi膜を用いた場合につき説明したが、W膜、TiW膜でも選択メッキが可能なため、問題なく使用できる。

【0037】また、配線材料、スルーホール埋設材料として金を用いる場合について述べてきたが、銀に代えても一向に差し支えない。銀の場合、図2(a)において、Au膜20の代りにスパッタ銀を使用し、無電解メッキにはNEケムキャット(株)製のスーパー・メックスB液を用いれば良い。

【0038】

【発明の効果】以上説明したように本発明によれば、従来配線材料として使われていたアルミ系合金に代えて、貴金属(金又は銀)を用いた配線を実現することにより、E/M寿命、S/M寿命を大幅に延ばすとともに数10%配線抵抗を減らすことができ、あわせて従来問題となっていたスルーホール部における接続不良を完全に解決することができるため、VLSIの高信頼性化、高速化に対し極めて有効である。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体チップの断面図である。

【図2】(a)~(d)は、本発明の製造方法の実施例を説明するための主要工程における断面図である。

【図3】(a), (b)は、本発明の製造方法の他の実施例を説明するための主要工程における断面図である。

【図4】従来例を示す半導体チップの断面図である。

【図5】他の従来例を示す半導体チップの断面図である。

【符号の説明】

- 1 シリコン基板
- 2 SiO₂膜
- 10 TiN膜
- 11 第1金配線

12 層間絶縁膜

13 スルーホール

14 Ti膜

15 金埋設体

16 第2金配線

20 金膜

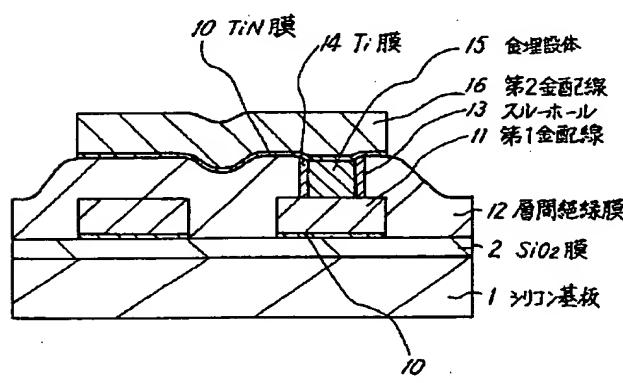
21 フォトレジスト膜

22 フォトレジスト膜

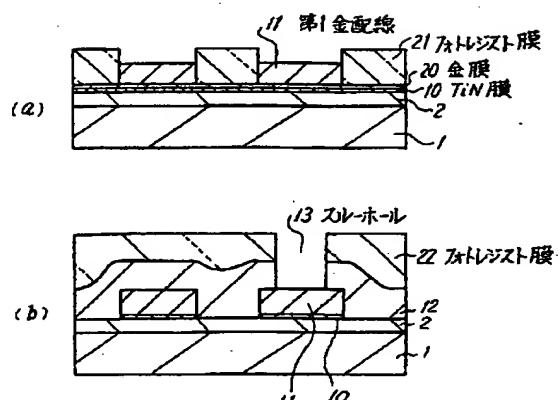
31 第1Ti膜

10 32 第2Ti膜

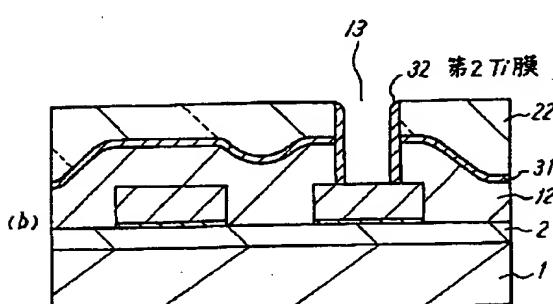
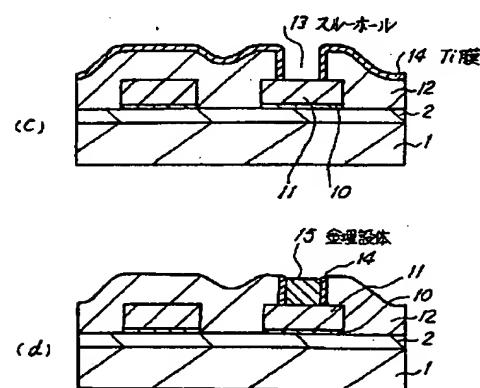
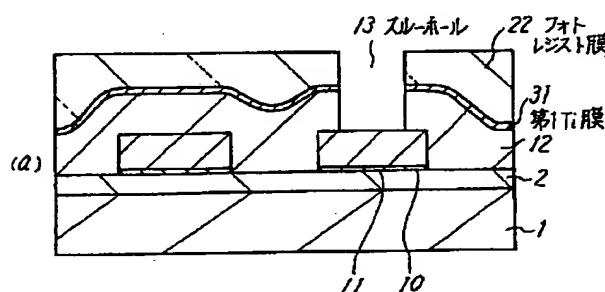
【図1】



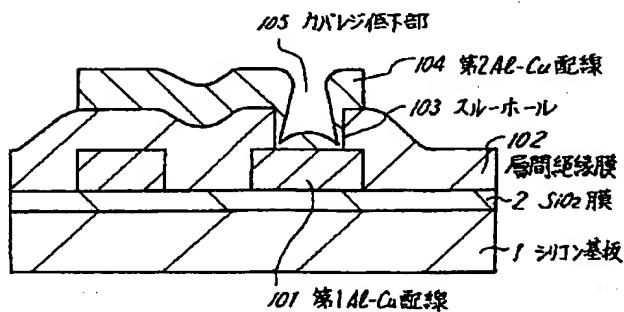
【図2】



【図3】



【図4】



【図5】

